

007375663 **Image available**

WPI Acc No: 1988-009598/198802

XRAM Acc No: C89-017353

XRPX Acc No: N89-030404

Amorphous-silicon semiconductor element mfr. - by depositing from source gas contg. impurities that vary forbidden band of amorphous silicon layer
NoAbstract Dwg 8/8

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 62271418	A	19871125	JP 86115254	A	19860520	198802	B
US 4800174	A	19890124	US 8750699	A	19870518	198906	
JP 93056850	B	19930820	JP 86115254	A	19860520	199337	

Priority Applications (No Type Date): JP 86115254 A 19860520

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 62271418 A 7

JP 93056850 B 10 H01L-021/205 Based on patent JP 62271418

Abstract (Basic): JP 62271418 A

Amorphous silicon (a-Si) semiconductor devices are mfd. using a capacitance-coupled high-frequency glow-discharge appts. fitted with several glow-discharge chambers, each of which has a HF electrode and a substrate holder opposing each other and each having a means for supplying reactant gases into the chamber. A reactant gas is supplied to a first glow-discharge cahmber so as to form an a-Si layer of a first conductivity type on a substrate and, after forming a predetermined gas atmos. in the first chamber, the coated substrate is moved to a second glow-discharge chamber and a different reactant is introduced so as to form an a-Si layer of a second conductivity type on the first a-Si layer. The distance between the electrode electrode and substrate holder is made smaller in the glow-discharge chamber designed for forming the thicker layer, and the temp. and pressure are set higher in this chamber.

USE/ADVANTAGE - The invention provides an improved method and appts. for the mfr. of a-Si semiconductor devices requiring several layers of a-Si of different conductivity types or several amorphous layers consisting mainly of silicon and having different optical band gaps. The forming speeds in different reaction chambers can be equalised, thus permitting the deposition of successive layers to be carried out continuously. (First major country equivalent to J62271418-A)

Abstract (Equivalent): US 4800174 A

Amorphous silicon (a-Si) semiconductor devices are mfd. using a capacitance-coupled high-frequency glow-discharge appts. fitted with several glow-discharge chambers, each of which has a HF electrode and a substrate holder opposing each other and each having a means for supplying reactant gases into the chamber. A reactant gas is supplied to a first glow-discharge cahmber so as to form an a-Si layer of a first conductivity type on a substrate and, after forming a predetermined gas atmos. in the first chamber, the coated substrate is moved to a second glow-discharge chamber and a different reactant is introduced so as to form an a-Si layer of a second conductivity type on the first a-Si layer.

The distance between the electrode electrode and substrate holder is made smaller in the glow-discharge chamber designed for forming the thicker layer, and the temp. and pressure are set higher in this chamber.

USE/ADVANTAGE - The invention provides an improved method and appts. for the mfr. of a-Si semiconductor devices requiring several layers of a-Si of different conductivity types or several amorphous layers consisting mainly of silicon and having different optical band gaps. The forming speeds in different reaction chambers can be

特許公報(B2) 平5-56850

⑥Int.Cl.[®]
H 01 L 21/205識別記号
7454-4M

⑦公告 平成5年(1993)8月20日

発明の数 1 (全10頁)

⑧発明の名称 非晶質シリコン半導体素子の製造方法

⑨特 願 昭61-115254

⑩公 開 昭62-271418

⑪出 願 昭61(1986)5月20日

⑫昭62(1987)11月25日

⑬発明者 石原 伸一郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑭発明者 北川 雅俊 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑮発明者 平尾 孝 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑯出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑰代理人 弁理士 小畠治 明 外2名

審査官 山本 一正

⑲参考文献 特開 昭54-58361 (JP, A) 特開 昭58-88316 (JP, A)

1

2

②特許請求の範囲

1 複数のグロー放電室と前記グロー放電室内に對向して配置された高周波電極と基板ホルダとを有し、前記グロー放電室内に原料ガスが供給されるように構成された容量結合型高周波グロー放電を用いた半導体製造装置を用い、前記特定の反応室で前記原料ガスをプラズマ反応させて前記基板上に特定の導電型の非晶質シリコン層を主成分とする非晶質層を形成する工程と、次に前記基板を次工程の反応室に移動させ、前記とは異なる原料ガスをプラズマ反応させて前記基板上に前記特定とは異なる導電型の非晶質シリコンを主成分とする非晶質層を形成する工程とを有する半導体素子の製造方法であつて、前記特定の反応室において前記非晶質層を形成した後、前記基板を次工程の反応室に移動させ、かつ前記特定の反応室で形成された前記非晶質層と前記次工程の反応室で形成される前記非晶質層とを比べ、膜厚の厚い非晶質層を形成する反応室に配された前記高周波電極と前記基板ホルダとの電極間距離を膜厚の薄い非晶質層を形成する反応室の反応室の電極間距離よりも短く設定し、さらに前記膜厚の厚い非晶質層を形成する前記反応室内の基板温度および真空中度を、前記膜厚の薄い非晶質層を形成する反応室内の基板温度および真空中度より高く設定することを特徴とする。

5 特定の反応室において前記特定の導電型の非晶質層を形成した後、この反応室を次工程の反応室と同種、同圧のガス雰囲気にしてから前記基板を次工程の反応室に移動させることを特徴とする特許請求の範囲第1項に記載の非晶質シリコン半導体素子の製造方法。

10 2 特定の反応室における原料ガスが、非晶質層の導電型を定める不純物または非晶質層の光学的禁止帯幅を変化させる不純物を与えるガスを含み、次工程の反応室における原料ガスが前記不純物を与える原料ガスを含まない特許請求の範囲第2項に記載の非晶質シリコン半導体素子の製造方法。

15 3 膜厚の厚い層を形成する反応室の放電電力を、膜厚の薄い層を形成する反応室の放電電力より大きくすることを特徴とする特許請求の範囲第2項に記載の非晶質シリコン半導体素子の製造方法。

20 4 膜厚の厚い層を形成する反応室の放電電力を、膜厚の薄い層を形成する反応室の放電電力より大きくすることを特徴とする特許請求の範囲第2項に記載の非晶質シリコン半導体素子の製造方法。

25 5 特定の反応室において前記特定の導電型の非晶質層を形成した後、次工程の反応室のガス雰囲気を前記特定の反応室のガス雰囲気と同種、同圧にしてから、前記特定の反応室の前記基板を次工程の反応室に移動させることを特徴とする特許請

次の範囲第1項に記載の非晶質シリコン半導体素子の製造方法。

6 特定の反応室における原料ガスが、不純物を与える原料ガスを含まず、次工程の反応室における原料ガスが非晶質層の等電量を決定する不純物または非晶質層の光学的禁止帯幅変化させる不純物を与える原料ガスを含む特許請求の範囲第5項に記載の非晶質シリコン半導体素子の製造方法。

7 膜厚の薄い層を形成する反応室の放電電力を、膜厚の薄い層を形成する反応室の放電電力より大きくすることを特徴とする特許請求の範囲第5項に記載の非晶質シリコン半導体素子の製造方法。

発明の詳細な説明

産業上の利用分野

本発明は、シランガスあるいはジボラン、オスフインなどの導電型を定める不純物ガスあるいはメタン、エタンエチレン、アセチレン、ゲルマニウム、アンモニア、チツ素、酸素又はチツ素と酸素の化合物などの不純物ガスを含むシランガスなどをプラズマ反応させることによって、基板上に複数の導電型の異なる非晶質シリコン層または光学的禁止帯幅の異なるシリコンを主成分とする非晶質層を順次堆積して半導体素子を製造する方法の改良に関する。

従来の技術

この種の非晶質シリコン（以下 α -Siで表す）を用いた半導体素子の典型的な例である光起電力素子の構造を第7図に示す。1はガラス等の透明絶縁基板、2、3および4はそれぞれ前記基板裏面に順次形成された酸化インジウム・錫等の透明導電膜、 α -Si膜およびアルミニウム等の裏面電極膜である。 α -Si膜3は透明導電膜2に接するp型層5、裏面電極4に接するn型層7およびこれら両層間のi型（ノンドープ）層6とからなり、これらの中5、6、7はそれぞれ適当な不純物を含むシランガスのプラズマ反応により堆積形成される。i型層とは不純物を入れない意味であるが、 α -Siよりなるi型層6は少しn型になつてゐるため、ほんとうの意味でのi型層6にするために微量の不純物を入れる場合がある。さらに光感度にあわせ、i型層の光学的禁止帯幅を小さくするため、周期律表第4族元素であるGeやSnを入れることもある。

第8図は前記 α -Si膜3を形成するための従来のプラズマ反応装置を示す。10a～10cは互いに隔壁されて並設された第1～第3反応室、11a～11cはそれぞれ上記各反応室に所定の反応ガスを導入するための第1～第3バルブであり、第1バルブ11aを通してシラン（ SiH_4 ）ガスとジボラン（ B_2H_6 ）ガスが、第2バルブ11bを通してシランガスが、さらに第3バルブ11cを通してシランガスとオスフイン（ PH_3 ）ガスがそれぞれ供給される。12a～12cは各反応室10a～10cを排気するための第4～第6バルブで、これら各バルブは真空排気系に接続されている。13a～13cおよび14a～14cは上記反応室において対向配置された第1および第2電極で、これら電極間に交流電源15より交流電場が印加される。16は上記各反応室において第1、第2電極13、14間に配されたローラコンペアである。このコンペアは上記第1から第3反応室への基板の移動に用いられる。第1～第3反応室10a～10cの各垂直壁18には同一高さに開口された第1～第4通過窓17a～17dとこれらの窓の各々を開閉する第1～第4シャッタ18a～18dが設けてあり、シャッタを開け、窓を通して基板の反応空間の移動をさせようになっている。

次に第8図に示した α -Si堆積装置による従来の製造方法について述べる。

まず、透明導電膜2のみを堆積させた基板1を第1通過窓17aから第1反応室10aへローラコンペア16に乗せて入れる。このとき第1～第4シャッタ18a～18dはすべて閉位置にあり、また、すべてのローラコンペア16は停止しており、さらに第1～第6バルブ11a～11c、12a～12cは閉じられ、すべての第1、第2電極13、14には電場印加がない。次に、第4～第6バルブ12a～12cを通じて第1～第3反応室10a～10cを真空排気した後、第1バルブ11aを介して第1反応室10a内にシランガスとジボランガスとを満たし、この状態で第1反応室10aの第1、第2電極13a、14aに電印加を行ないプラズマ反応を行わせる。この工程によつて透明導電膜2上にp型層5が形成される。

p型層5を形成後、第1反応室10aの放電を

止め、第1反応室10a中のガスを排気した後、第2シヤツク10bを開け、第2の通過窓17bを通して基板1_第1反応室10aから第2反応室10bへ移動させる。第2シヤツク10bを閉じ、第2反応室10b内にシランガスを満たし、この状態で第2反応室10bの第1、第2電極13b, 14bに電場印加を行ない放電させて1型層6を形成する。その後、反応室10bを排気してから基板を第3反応室10cへ移動させ、反応室10cに原料ガスのシランガスとフォスフインガスを供給し、電極13c, 14cに電場を印加してn型層7を形成する。

発明が解決しようとする問題点

以上のように、従来の方法によつて、基板上に導電型の異なる複数のn-Si層を形成する場合、各反応室の電極間距離は意図的に変えておらず、そのため各反応室における膜形成スピードは同程度であつた。例えばpin型の光起電力素子では1型層の膜厚が他の層に比べ10倍程度早く、1型層形成時間は他の層の形成時間の約10倍となり生産性は1型層形成で制限されていた。

本発明は、多層非晶質シリコンを用いた半導体素子の製造における生産性の向上を行うとともに、均一性および信頼性の高い半導体素子の製造を可能とするものである。

問題点を解決するための手段

本発明の非晶質シリコン半導体素子の製造方法は、複数のグロー放電室と前記グロー放電室内に対向して配置された高周波電極と基板ホルダとを有し、前記グロー放電室内に原料ガスが供給されるように構成された容量結合型高周波グロー放電を用いた半導体製造装置を用い、前記特定の反応室で前記原料ガスをプラズマ反応させて前記基板上に特定の導電型の非晶質シリコン層を主成分とする非晶質層を形成する工程と、次に前記基板を次工程の反応室に移動させ、前記とは異なる原料ガスをプラズマ反応させて前記基板上に前記特定とは異なる導電型の非晶質シリコンを主成分とする非晶質層を形成する工程とを有する半導体素子の製造方法であつて、前記特定の反応室において前記非晶質層を形成した後、前記基板を次工程の反応室に移動させ、かつ前記特定の反応室で形成された前記非晶質層と前記次工程の反応室で形成される前記非晶質層とを比べ、膜厚の薄い非晶質

層を形成する反応室に記された前記高周波電極と前記基板ホルダとの電極間距離を膜厚の薄い非晶質層を形成する反応室の電極間距離よりも短く設定し、さらに前記膜厚の薄い非晶質層を形成する前記反応室内の基板温度および真空中度を、前記膜厚の薄い非晶質層を形成する反応室内の基板温度および真空中度より高く設定するものである。

本発明はまず、堆積速度を多層構造の各層で膜厚に応じて大きくすることである。例えばn-Siでpin型光起電力素子を作成する場合、p型層、n型層に比べ1型層の膜厚が10倍程度早く、堆積速度をpin各層とも同じにすると1型層で製造速度が決まつてしまつた。生産速度を上げるには膜厚に応じて堆積速度を大きくすれば無駄な時間が省ける。本発明は以下の新しい発見に基づいた手段を用いて行なわれた。

(1) 電極間距離を短くする。こうすると堆積速度が増大する。

(2) ある程度堆積速度が増大すると膜厚にバラツキが生じるが、真空中度を大きくしてやると均一な堆積速度が得られる最適値が存在する。

(3) 堆積速度が増大すると、通常の堆積速度で最適であつた基板温度では半導体素子作成後の信頼性が低下した。基板温度設定値を従来よりも高めることによってこの問題点を解決することができた。

作用

以上の方法によれば、多層構造半導体素子の各層膜厚に応じて形成速度を合わせることができる所以、原理的には連続堆積が可能である。

一般的に多層構造の製造装置では、各反応室の大きさが同一である場合が装置の利用効率が良い。本発明の製造方法では、膜厚に応じた堆積速度を選択することができるため、各反応室をほぼ同じにすことができ、そのため小型化が行なえる。反応室が同じ大きさであれば交換も容易で部品も同じものになり装置の製造コストも下げられ、メインテナンスも容易となる。

さらに従来例と同様、本質的には導電型の異なる層は別々の反応室で堆積するため、同一反応室で作成する場合に比べて、残留不純物によって受ける悪影響を軽減することができる。

そして、本発明は、生産性の向上に加え、シリ

コン半導体素子の膜厚バラツキをなくし、信頼性の向上を可能とするものである。

実施例

まず、上述の(1)～(3)の手段を実行することによつて堆積速度にどのような変化をもたらすかを以下説明する。

(1) 電極間距離を短くすると α -Si堆積速度が増大する。

第2図は高周波電力を50Wとし、電極間距離を横軸に堆積速度を縦軸にとつた図である。真空度は1Torrである。この条件では電極間距離が33mm以上では放電しなくなる。15～30mmでは距離が短い方が少し堆積速度が大きいがほぼ平坦で4～5A/sec程度である。15mmより短くなると急激に堆積速度が増大し、8mmで約7A/secになる。もっと短くすると放電しなくなる。このように左上がりの結果が得られたのは、電極間距離を短くすると α -Siの成長種が主に発生する高周波電極表面と基板との距離が短くなるために効率良く基板に上記成長種が到達するためである。

(2) 真空度と堆積速度および膜厚の均一性

第3図は、電極間距離を18mmとし高周波電力を70Wとしたときの堆積速度30を真空度を横軸にとつて図示したものである。真空度2Torrのところで電極間距離を10mmの場合31および5mmの場合32も示した。真空度を増大させても α -Siの成長種の密度が増大するから堆積速度は増大する。しかし2Torrのところで減少してしまう。真空度を2Torrに保ち、電極間距離を10mm31、5mm32とすると堆積速度も変化する。放電電力を一定にしているため真空度を増大させると電極間の空間中に存在する原料ガス數が増大するため高速の電子が粒子と衝突する回数が増大する。このため電子温度が下がり放電を持续するだけのエネルギーが持てなくなるためである。電極間距離を短くしすぎても放電は発生しない。これは放電電源の出力インピーダンスと装置の入力インピーダンスの整合がとれないためである。すなわち、通常、インピーダンス整合は、マッチングボックス（図示せず）と称するインピーダンス整合器によって行なわれ、電源と装置の間で電力の供給がスムーズに行なわれるよう調節されている。装置のイ

ンピーダンスの中には、電極を基板ホールドによって形成される容量も含まれ、さらにこの間で発生するプラズマの密度によつてもその容量は変化する。電極間距離を短くしていくとプラズマの密度は増大し、さらに電極と基板ホールドとの平行平板容量も増大する。このため、通常、インピーダンスマッチングがうまく行なわれている従来の放電から高速堆積放電へ移つてくると急激にマッチングがとれなくなつてくるのである。このため放電しなくなる。逆に電極間距離を長くすると、電極間の空間に存在する粒子が増大し、プラズマの密度が減少して放電が持続しなくなるのである。

第3図に戻つて2Torrの真空度でのパラツキがどのようになつてゐるのか、わかりやすく電極と基板ホールドを断面で見て、 α -Siの膜厚分布をとると第4図のようになる。第4図aは、電極間距離40が大きく α -Si41は電極の中央で厚く堆積されるが電極13b, 14bの端では薄くなる。逆に第4図cのように電極間距離40を小さくすると放電が電極13b, 14bの中央部には発生しなくなり電極13b, 14bの端だけに α -Si41が堆積される。第4図bのように電極間距離40を適当にとつてやると電極13b, 14b全体に渡つて α -Si41は均一に堆積される。すなわち第3図の2Torrの真空度のところでは電極間距離が18mmの条件では第4図aのよう α -Si41が堆積され、10mmの条件では第4図bのように、5mmでは第4図cのような膜厚分布をしている。すなわち膜圧を均一にかつ高速に堆積しようすれば上述した手順に従つて電極間距離と真空度とを変化させて最適値を求めれば良い。第3図からもわかるように、堆積速度は従来のものに比べ10倍以上に高速化できることがわかる。

(3) 基板温度設定値と半導体素子の信頼性

堆積速度を高速化することは実効的に原料ガスの分解率を高くして成長種を増大させるということである。例えば SiH_4 を例にとると、 Si が固体として堆積すると2分子の H_2 が発生する。 SiH_4 に比べ H_2 は比熱が大きく、しかも SiH_4 の2倍の H_2 が発生する。 SiH_4 は放電中へほとんど加熱されることなく到達するため、ほぼ室温か、装置の中へ導入された時、断

熱膨張するため室温よりは低くなる。SiH₄が分解し放電中にH₂が多くなると基板に比熱が大きくて室温程度のH₂が触れ基板表面を通常の堆積条件より冷やすことになる。これを補うために反応室内の基板温度設定値を従来のより高くし、最高基板温度にしようとするものである。 α -Si光起電力素子を例にとると信頼性の1つの問題にステプラ・ロンスキ (SSchaebler-Wronski) 效果がある。強力な光を照射すると出力特性が劣化するという現象が現れる。基板温度設定値をパラメータとしAM_i(Air Mass One) 100 mW/cm²の照射時間を横軸に光起電力素子の規格した出力特性を示したのが第5図である。出力特性は螢光燈2000X照射下で測定した。出力特性の劣化は低照度で著しくあるため2000Xを選んだ。従来の堆積条件では基板温度の設定は200°Cを選んでいる。従来条件ではAM_i 100 mW/cm²を10時間照射しても初期値の90%以上の特性を保っているが、高速堆積条件では設定温度が200°C 5.0では第6図に示したように1時間もたたないうちに特性が急激に劣化する。

このように基板表面が実効的に冷やされているために α -Si膜中に不安定なSiH結合が生じ、これが光照射によって切断され、特性が劣化したと考えられる。基板設定温度200°C 5.1、250°C 5.2、にすると10時間のAM_i、100 mW/cm²照射後でも90%以上の出力が得られていることがわかる。基板設定温度350°C 5.3にすると他の不安定要素が加わっているようである。

第5図の実験データから、ここで用いた装置で、この堆積条件ならば基板温度の設定値を50～100°C上げれば良いことがわかる。しかし上述したとおり、原料ガスの流れ方、基板のセットティング方法の違いなどから装置の構造や堆積条件によって基板表面の冷やされ方は変化するから一概に設定温度を個別上昇させると良いとは言えないことは明らかである。

以上述べてきた発見に基づいて以下に述べる実施例を行なった。

実施例 1

光起電力素子の製造方法

以下、本発明に従つて半導体素子の典型である

光起電力素子、具体的には基板上にp型層5、i型層6及びn型層7を順次形成する例を第1図に示した装置によって説明する。第8図の装置と異なる点は1型層5を形成する反応室10 bの電圧開閉器51 bが、他の反応室10 a, 10 cの51 a, 51 cより短いことと、交流電源15が、それぞれの反応室に分けて15 a, 15 b, 15 cと置かれていること、及び各反応室10 a, 10 b, 10 cの大きさがほぼ同じであることである。なお交流電源15 a, 15 cは堆積方法のタイミングチャートを工夫すれば1つの電源にまとめられる。

この例においては反応室10 bの電源13 b, 14 b間に少なくとも常時電場が印加されて高速堆積用の放電が発生しており、基板1を移動させる時以外はローラコンペア16は停止している。また基板導入以前は少なくとも第1シャツク10 aは閉じておりグミー基板が少なくとも反応室10 bに入っている。

まず、第1反応室10 aに開接して設けた予備室(図示せず)で α -Si堆積温度まで基板温度を調節した後、第1反応室10 aと同種同圧の原料ガスを予備室に導入する。

次にシャツク10 aを開けて第1反応室10 aに基板1を導入する。基板導入後は第1シャツク10 aを閉じ、予備室の混合ガスをバージした後、次の基板導入の準備をする。第1反応室10 aでp型層5を提供しようとする場合は、原料ガスにはSiH₄とB₂H₆の混合ガスが用いられる。p型層に α -SiCを用いる場合はSiH₄, B₂H₆の他にCH₄, C₂H₆, C₃H₈等の炭化水素ガスを用いる。p型層5を堆積後、放電を止めSiH₄ガスの供給のみを行ない、基板設定温度を第2反応室10 bのそれと同じにする。こうすることによつて、第1反応室10 a中の原料ガスは第2反応室10 bのそれと同種になり、基板温度は第2反応室10 bのそれに昇温される。第1反応室10 aのガス圧(真空度)を第2反応室10 bのそれと同圧になるように調節(増大)させた後、第2シャツク10 bを開けて第2反応室10 bに基板1を導入する。ガス圧のモニタは、ダイヤフラム式の真空計を用いなければならない。例えばピラン真空計ではガスの比熱によってその指示が大きく異なるため不適当である。上述したとおり第1反

応室10aと第2反応室10bの中に入っているガス組成が異なつており第2反応室10bに比熱の大きなH₂ガスが大きな割合で入っているからである。基板導入後は、第3シャツク10bを閉じ、第1反応室10aには再びp型層用の原料ガスを導入しておき、次の基板導入を持続する。

第2反応室10bでは前述のとおり電極間距離31bは短くなつておき基板温度設定値も他の反応室よりは高くしかも真空度も大きくなつている。高速度でi型層5を堆積した後、第3シャツク10cを開け、第3反応室10cへ基板1を導入する。このとき第3反応室10cには第2反応室と同種同圧の原料ガスが導入されているが、基板移動完了後、第3シャツク10cを閉じてから、n型層7を堆積させる場合はPH₃を導入する。n型層7の堆積後、第4シャツク10dを開け、予備室(図示せず)へ導入する。この予備室は工程説明の最初に述べた前記第1反応室10aへ導入するために用いた予備室でも良く別の予備室でも良い。すなわち同一の予備室を用いようとすれば、このa-Si堆積装置は入口と出口が同じであり、直線的な構造をとるならば今まで述べた第3反応室10c、第2反応室10b、第1反応室10aと再び通つて取り出しができるが、直線的な構造でなければ、半導体素子ができる間に1回転するような回廊構造となる。

n型層7を堆積後、第3反応室10cから予備室へ移動されるときは、予備室中へ第3反応室10cと同種同圧の気体、例えばSiH₄とPH₃を含んだ原料ガスを満たし、移動後第4シャツク10dを閉じる。上記予備室には原料ガスが存在するので、十分にバージした後取り出す。取り出す前に裏面電極4を蒸着しても良い。

なお、B₂H₆、PH₃炭化水素ガス導不純物ガスを供給する場合は、キャリアガスとしてH₂、Ar、He等を用いる。

実施例 2

TFT(Thin Film Transistor) の製造方法。

本実施例では、第6図に示すようなTFTを作成する製造方法について述べる。TFTを作成する場合ゲート電極71の上に、ゲート絶縁膜72が必要である。この場合には、第1反応室10aの原料ガスを変えれば良い。すなわち第6図において基板1の上にゲート電極71を形成した後、

第1図に示した装置に導入し、ゲート絶縁膜72であるSiO₂を第1反応室10aで形成する。原料ガスとしてはSiH₄の他にO₂、N₂O等酸素化合物を混入すれば良い。他は前述したのと同様な方法で作成することができる。i型a-Si層6、n型a-Si層7を形成した、ソース、ドレイン部74を残してn型a-Si層7を選択エッチングし、ソース及びドレイン配線となる金属蒸着膜73を形成し、適当に選択エッチングする。第6図とは逆構造のTFTを作成する場合は、第1反応室10aにn型a-Si層を形成する原料ガスを導入し、第3反応室10cにゲート絶縁膜72を形成する原料ガスを導入しなければならないが、第2反応室10bに入るまでにn型a-Si層7を選択的に取り除いておかなければならない。このようにしてTFTを高速で作成することができる。

発明の効果

以上の方法による効果を以下に詳しく説明する。

- 20 (1) 多層構造半導体素子の各層膜厚に応じて形成速度を合わせることができるので、原理的には連続堆積が可能である。
- (2) 薄膜堆積時間は、p型層5を1分間、i型層6を従来は60分間であったが10倍の堆積速度を持つ条件を使用すると6分間、n型層7を3分間とすると、従来の方法ではi型層6を堆積する時間が長く、p型層5、n型層7を形成する反応室の待ち時間が長く無駄であった。
- (3) 一般的に多室構造の製造方法では、各反応室の大きさが同一である場合が装置の利用効率が良い。本発明の製造方法では、膜厚に応じた堆積速度を選択することができるため、各反応室をほぼ同じにすることができる、そのため小型化が行なえる。反応室が同じ大きさであれば交換も容易で部品も同じものになり装置の製造コストも下げられ、メインテナンスも容易となる。
- (4) さらに本質的には導電型の異なる層は別々の反応室で堆積するため、同一反応室で作成する場合に比べて、残留不純物によって受ける悪影響を軽減することができる。
- (5) 本発明は電極間隔のみでなく、温度、真空度の制御により、膜厚バラツキが少なく高い信頼性を有する半導体素子を製造する。

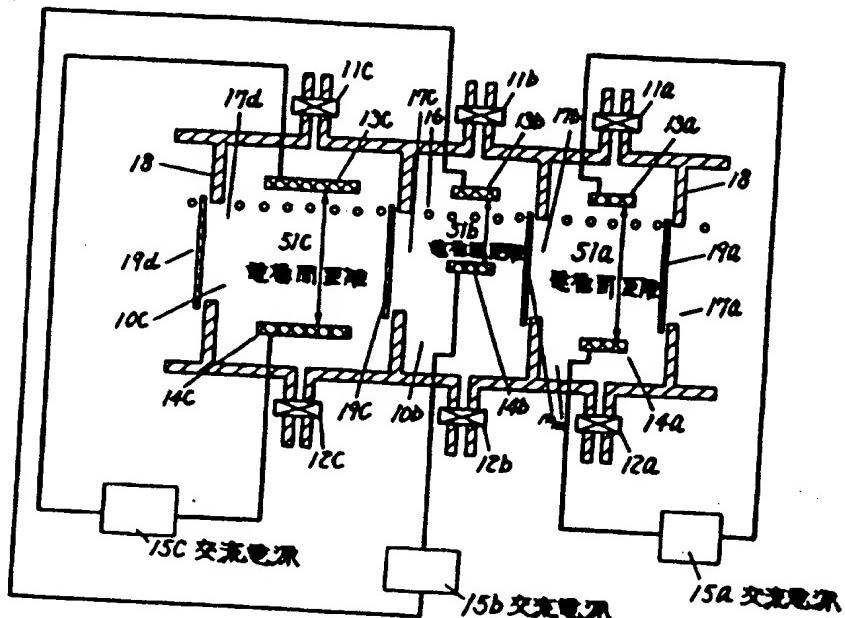
図面の簡単な説明

第1図は本発明の一実施例の製造方法を実施するための製造装置の横断面図、第2図は電極間距離を変化させたときのa-Si堆積速度の変化を示した図、第3図は真空度を変化させたときのa-Si堆積速度の変化および均一性を示した図、第4図は電極距離を変えたときの堆積速度の不均一性の様子を基板ホールド上に簡略に示した図、第5図は反応装置の基板設定温度をパラメータとし、AM₁照射時間と光起電力素子の規格化出力特性を示した図、第6図は本発明の一実施例の製造方

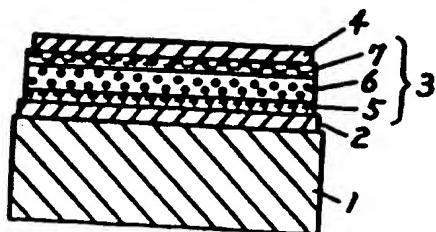
法で作成されたa-SITFTの横断面図、第7図はa-Si光起電力素子の横断面図、第8図は從来から使用されていた大製造装置の横断面図である。

5……p型層、6……i型層、7……n型層、
5 18a～18c……第1～第3反応室、19a～
19c……電極、15a～15c……交流電源、16a～
16c……ローラ、40a～40c……電極間距離、
51a～51c……電極間距離、41……a-Si、
52……ゲート電極、71……ゲート絶縁、
10 脇、74……ソース・ドレイン部。

第1図



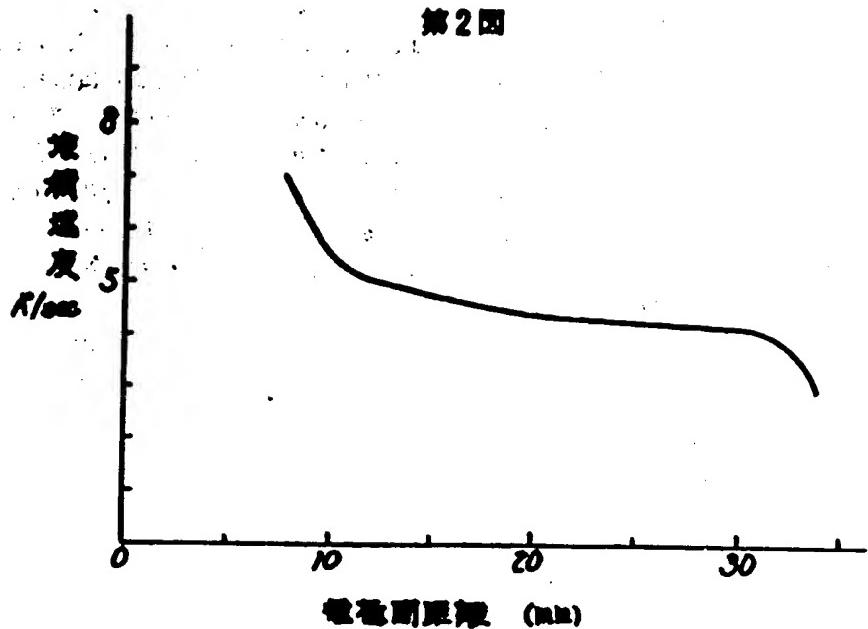
第7図



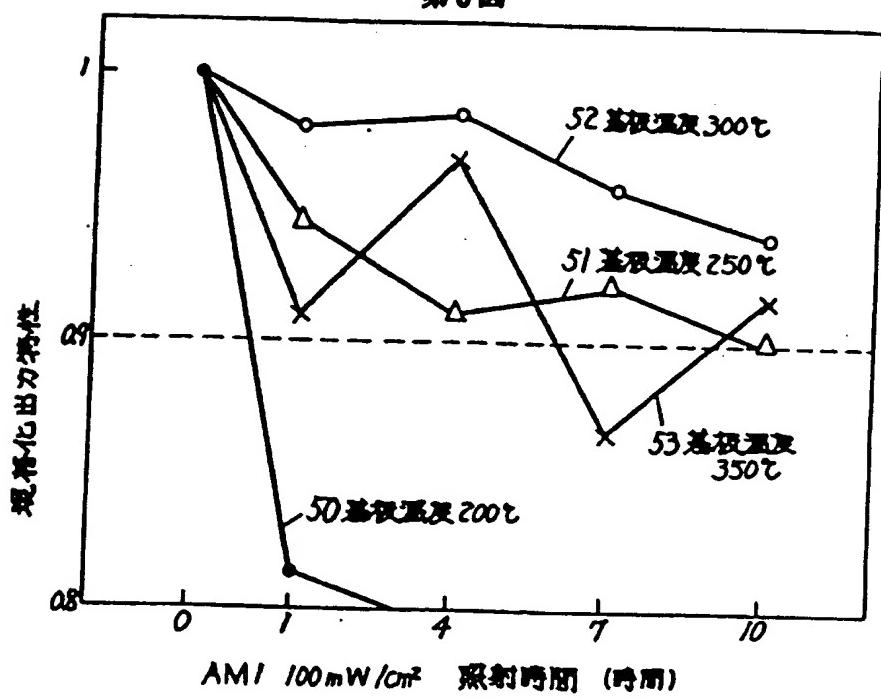
(8)

公 平 5-56850

第2図



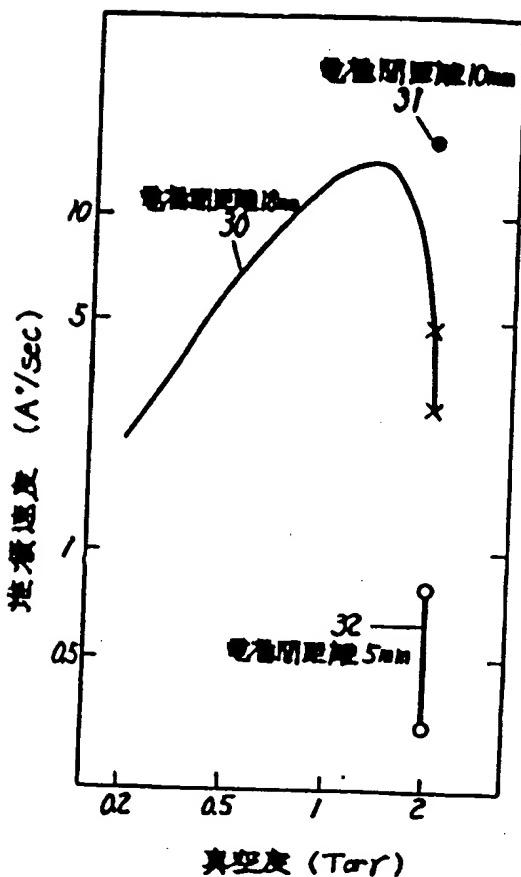
第5図



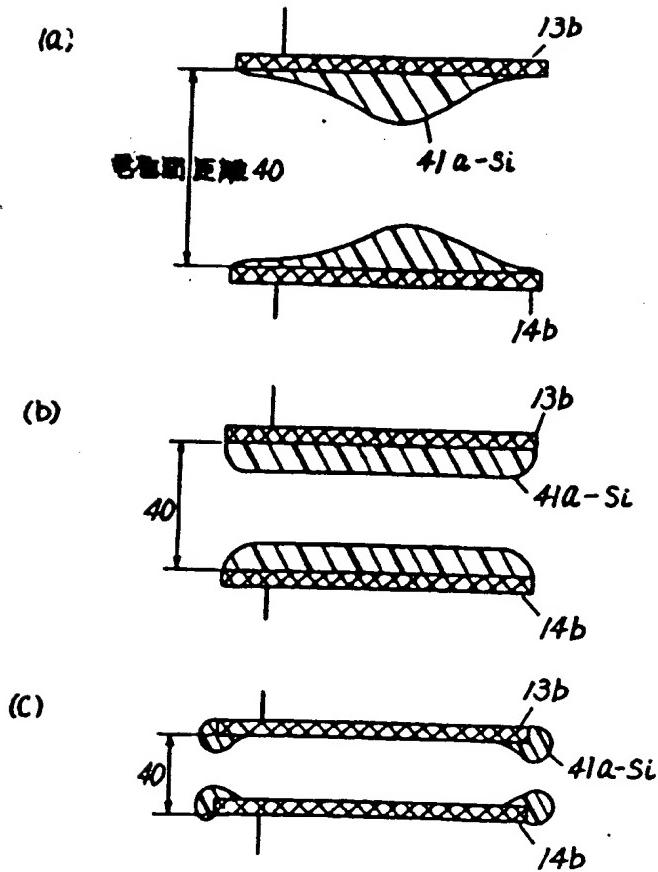
(a)

公 平 5-56660

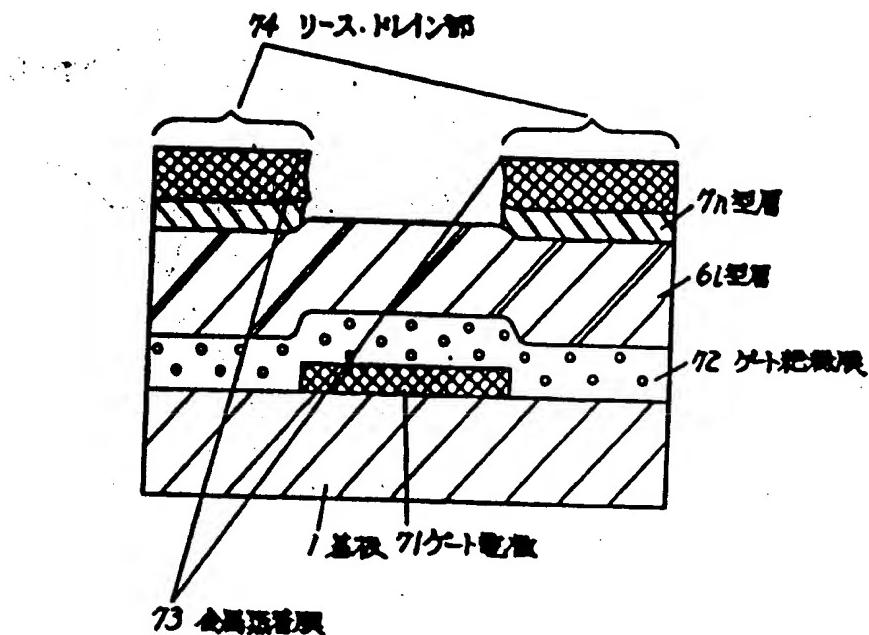
第3図



第4図



第6図



第8図

